

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252370

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 29/43

H01L 29/78

(21)Application number : 11-052323

(71)Applicant : NEC CORP

(22)Date of filing : 01.03.1999

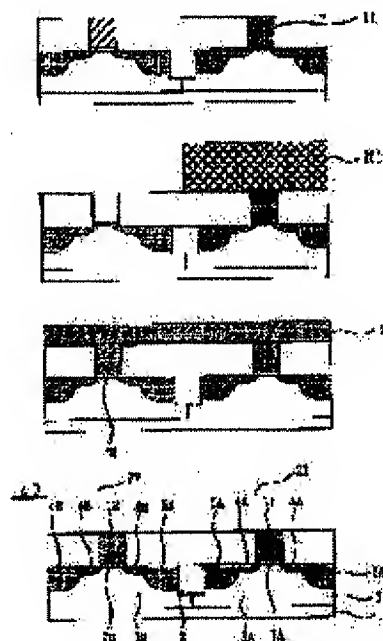
(72)Inventor : TAKEUCHI KIYOSHI

## (54) COMPLEMENTARY INTEGRATED CIRCUIT AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a means used to easily manufacture a complementary MISFET integrated circuit in which different gate materials are used for an n-channel FET and a p-channel FET, which restrains the problem of the depletion of a gate, which is fine and which is of high performance.

**SOLUTION:** This circuit 20 is provided with an n-channel element 21 in which a first metal material constituted of one selected from zirconium and hafnium is used for a gate electrode. In addition, the circuit is provided with a p-channel element 22 in which a second metal material constituted of one selected from platinum silicide, indium silicide, cobalt, nickel, rhodium, palladium, rhenium and gold is used for a gate electrode.



## LEGAL STATUS

[Date of request for examination]

01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3264264

[Date of registration]

28.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252370

(P2000-252370A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L	21/8238	H 0 1 L 27/08	3 2 1 D 4 M 1 0 4
	27/092	29/46	R 5 F 0 4 0
	29/43		Z 5 F 0 4 8
	29/78	29/78	3 0 1 G

審査請求 有 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平11-52323

(22) 出願日 平成11年3月1日 (1999.3.1)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 竹内 潔

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

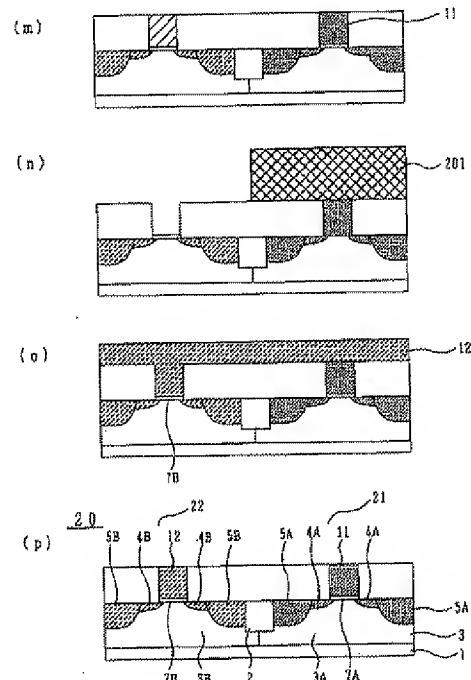
最終頁に続く

(54) 【発明の名称】 相補型集積回路とその製造方法

(57) 【要約】

【課題】 nチャネルFETとpチャネルFETとで異なるゲート材料を用い、かつゲート空乏化の問題を抑えた、微細かつ高性能な相補型MISFET集積回路を容易に製造する手段を提供する。

【解決手段】 ジルコニウムまたはハフニウムから選択された一つで構成される第1の金属材料をゲート電極11とするnチャネル素子21と、珪化白金、珪化イリジウム、コバルト、ニッケル、ロジウム、パラジウム、レニウム、金から選択された一つで構成される第2の金属材料をゲート電極12とするpチャネル素子22とを有することを相補型集積回路20。



## 【特許請求の範囲】

【請求項1】 ジルコニウムまたはハフニウムから選択された一つで構成される第1の金属材料をゲート電極とするnチャネル素子と、珪化白金、珪化イリジウム、コバルト、ニッケル、ロジウム、パラジウム、レニウム、金から選択された一つで構成される第2の金属材料をゲート電極とするpチャネル素子とを有することを特徴とする相補型集積回路。

【請求項2】 前記第2の金属材料はレニウムであることを特徴とする請求項1に記載の相補型集積回路。

【請求項3】 当該第1の金属材料は、 $n^+$  ポリシリコンの仕事関数に近似する仕事関数を有する金属材料であり、当該第2の金属材料は、 $p^+$  ポリシリコンの仕事関数に近似する仕事関数を有する金属材料である事を特徴とする請求項1又は2に記載の相補型集積回路。

【請求項4】 当該nチャネル素子を構成する当該ゲート電極において、少なくともゲート絶縁膜と接する当該ゲート電極部の下層部が、当該第1の金属材料で構成されると共に、当該pチャネル素子を構成する当該ゲート電極において、少なくともゲート絶縁膜と接する当該ゲート電極部の下層部が、当該第2の金属材料で構成されており、且つ当該nチャネル素子に於ける当該ゲート電極及び当該pチャネル素子に於ける当該ゲート電極の当該下層部を除く部分には、低抵抗性を有する材料が配置されている事を特徴とする請求項1乃至3の何れかに記載の相補型集積回路。

【請求項5】 半導体基板上に所定の素子分離領域を介してnチャネル素子形成領域とpチャネル素子形成領域とを形成する工程、それぞれの領域にダミーゲート電極を同時に形成する工程、次いでそれぞれの素子形成領域に個別にそれぞれのダミーゲート電極をマスクとして所定の拡散領域を形成する工程、当該ダミーゲート電極を含めて当該半導体基板全体に絶縁層を形成する工程、当該絶縁層内の一方のダミーゲート電極を除去して第1の金属材料で構成されるゲート電極材料を当該ダミーゲート電極を除去する事によって形成された当該絶縁層内の第1の溝部に埋め込む工程、当該絶縁層内の他方のダミーゲート電極を除去して第2の金属で構成されるゲート電極材料を当該ダミーゲート電極を除去する事によって形成された当該絶縁層内の第2の溝部に埋め込む工程とから構成されている事を特徴とする相補型集積回路の製造方法。

【請求項6】 半導体基板上に所定の素子分離領域を介してnチャネル素子形成領域とpチャネル素子形成領域とを形成する工程、当該半導体基板の表面全体に絶縁層を形成する工程、当該一方の領域に於ける当該絶縁層に第1の溝部を形成する工程、当該第1の溝部に第1の金属材料からなるゲート電極材料を埋め込む工程、当該他方の領域に於ける当該絶縁層に第2の溝部を形成する工程、当該第2の溝部に第2の金属材料からなるゲート電

極材料を埋め込む工程、当該絶縁層を除去した後、それぞれの領域に於て、それぞれのゲート電極材料をマスクとして当該半導体基板に拡散領域を個別に形成する工程とから構成されている事を特徴とする相補型集積回路の製造方法。

【請求項7】 当該第1の溝部に当該第1の金属材料からなるゲート電極材料を埋め込む工程若しくは当該第2の溝部に当該第2の金属材料からなるゲート電極材料を埋め込む工程に於て、当該ゲート電極材料として当該金属材料に適宜の低抵抗性を示す導電性材料を積層して埋め込む事を特徴とする請求項5又は6に記載の相補型集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、相補型集積回路とその製造方法に関するものであり、更に詳しくは、構成材料が異なる複数種のゲート電極を有する相補型MISFETとその製造方法に関するものである。

## 【0002】

【従来の技術】従来から、相補型集積回路特には、相補型MISFET集積回路は広く知られており、従来の相補型MISFET集積回路としては、例えば、ゲート電極として燐を拡散したn型のポリシリコンが広く用いられてきた。当該n型ポリシリコンは耐熱性、耐薬品性が高く、高濃度の不純物導入が容易で、ゲート絶縁膜と良好な界面が形成されるという利点がある。ただしn型ポリシリコンをゲート電極に用いると、pチャネルFETのしきい値が所望の値より高くなるため、カウンタドープ（pチャネルFETにおいてはp型不純物を基板のごく表面にのみ導入する手法）によってpチャネルFETのしきい値を下げる手法が用いられてきた。

【0003】ところが、集積回路そのものの微細化に伴い、表面に導入するカウンタドープ不純物の深さを浅くしていく必要があるため、n型ゲートを用いたpチャネルFETの実現は困難になって来た。この課題に対応するため、ゲート長が例えば0.25nm以下では、nチャネルFETにはn型ポリシリコン、pチャネルFETにはp型ポリシリコンを用いる、いわゆるpnゲート構成が採用されている。

【0004】かかるpnゲート構成ではnチャネル型、pチャネル型それぞれに適したゲート材料を用いるため、従来の燐を拡散したn型ポリシリコンのみを用いるnnゲート構成に比べて特にpチャネルFETの微細化が容易である。また、pnゲート構成においては、2種類のゲート材料を同一基板上に形成することが比較的容易である。すなわち、基板上に不純物を含まないポリシリコンを堆積し、nチャネルFET部分にのみn型不純物を、pチャネル型FET部分にp型不純物を、それぞれイオン注入法により局所的に導入することで、n型とp型のポリシリコンを形成することができる。

【0005】例えば、図7を参照すると、まず図7(a)に示す様に、適宜の基板1上に半導体層を形成し、所定の素子分離領域2を介してnウェル領域3Bとpウェル領域3Aを形成した後、ゲート絶縁膜7とポリシリコン膜21を堆積し、次いで図7(b)に示す様に、ゲート電極21をそれぞれのウェル領域3A及び3Bに形成する。

【0006】その後、図7(c)に示す様に、例えばpチャネルFET領域のみをフォトリソスト201で覆ってnチャネルFET領域にのみn型不純物をイオン注入することでnチャネルFETのゲートをn型ゲート21Aに転換するとともにn型ソース・ドレイン拡散層5Aを形成し、引続き図7(d)に示す様に、nチャネルFET部分のみを新たにフォトリソスト201で覆ってpチャネルFETにのみp型不純物をイオン注入することでpチャネルFETのゲートをp型ゲート21Bに転換するとともにp型ソース・ドレイン拡散層5Bを形成する。

【0007】

【発明が解決しようとする課題】 処で、nチャネル型とpチャネル型の2種のMISFETを組み合わせて回路を構成する相補型MISFET集積回路においては、nチャネルFETとpチャネルFETとで別々の材料を用いてゲート電極を形成することが、MISFETを微細化して高集積度を達成するために有効である。

【0008】なぜなら良好な特性を得るのに適したゲート材料の仕事関数(材料固有の電氣的ポテンシャル)はnチャネルFETとpチャネルFETとで異なり、一種類の材料のみを用いるとnチャネルFETとpチャネルFETで両方同時に良好な特性を得ることが困難になるからである。具体的には、一方に適するゲート材料を用いると、他方においてしきい値が望ましい値より高くなりすぎる。この問題はMISFETが比較的大きければ、カウンタドープ法によってしきい値を調節することで対処可能である。しかし微細化が進むと、しきい値調整用不純物の深さ分布を極めて浅くかつ高濃度にする必要があるため、カウンタドープ法の適用が困難となる。

【0009】一方、pnゲート構成は2種類のゲート材料を使い分ける一手法といえる。しかしながら、従来のpnゲート構成では、ポリシリコン中のn型またはp型の不純物濃度が十分高められないという問題がある。すなわち不純物はイオン注入法によりポリシリコン上面から導入され、拡散によってゲート絶縁膜と接するポリシリコン下面に送られる。不純物(特にp型のホウ素)がゲート絶縁膜を突抜けてしまう現象が起こるので、拡散温度を高めたり拡散時間を伸ばすことには制限がある。

【0010】このためポリシリコン下面の不純物濃度が低くなり、FET動作時にポリシリコン下面に空乏層が形成され、FETの実効的なゲート絶縁膜の厚さが増

し、FETの性能が劣化するという問題がある。このゲート空乏化問題はFETが微細化され、ゲート絶縁膜が薄くなるほど厳しく、特にゲート長が0.1nm程度以下で顕著となる。

【0011】一方、ゲート空乏化問題は、ゲート材料として金属を用いることで解決することが可能である。金属は空乏化を起こさないだけではなく、多くの場合ゲートの抵抗が下がるという利点もある。あるいは高濃度の不純物を堆積と同時に添加した半導体を用いることも効果がある。

【0012】ところが金属ゲート材料を使用する場合、あるいは堆積時ドーピングをした半導体を用いる場合、同一基板上に2種類のゲート電極を形成することが困難であるという問題がある。すなわち、従来のpnゲートの様にイオン注入法で2種のゲート材料を作り分ける方法が使えない。

【0013】また、一般に金属ゲート電極に関しては、エッチングによる加工がポリシリコンに比べて難しいという問題もある。従って、本発明の目的は、上記した従来技術の欠点を改良し、nチャネルFETとpチャネルFETとで異なるゲート材料を用い、かつゲート空乏化の問題を抑えた、微細かつ高性能な相補型MISFET集積回路を容易に製造する手段を提供することにある。

【0014】更に、本発明の他の目的は、金属材料の加工困難さを回避し、nチャネルFETとpチャネルFETとで異なる金属ゲート材料を用いた相補型MISFET集積回路を容易に製造する手段を提供することである。

【0015】

【課題を解決するための手段】 本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、本発明に係る第1の態様としては、ジルコニウムまたはハフニウムから選択された一つで構成される第1の金属材料をゲート電極とするnチャネル素子と、珪化白金、珪化イリジウム、コバルト、ニッケル、ロジウム、パラジウム、レニウム、金から選択された一つで構成される第2の金属材料をゲート電極とするpチャネル素子とを有する相補型集積回路であり、又第2の態様としては、半導体基板上に所定の素子分離領域を介してnチャネル素子形成領域とpチャネル素子形成領域とを形成する工程、それぞれの領域にダミーゲート電極を同時に形成する工程、次いでそれぞれの素子形成領域に個別にそれぞれのダミーゲート電極をマスクとして所定の拡散領域を形成する工程、当該ダミーゲート電極を含めて当該半導体基板全体に絶縁層を形成する工程、当該絶縁層内の一方のダミーゲート電極を除去して第1の金属材料で構成されるゲート電極材料を当該ダミーゲート電極を除去する事によって形成された当該絶縁層内の第1の溝部に埋め込む工程、当該絶縁層内の他方のダミーゲート電極を除去して第2の金属で構成され

るゲート電極材料を当該ダミーゲート電極を除去する事によって形成された当該絶縁層内の第2の溝部に埋め込む工程とから構成されている相補型集積回路の製造方法である。

#### 【0016】

【発明の実施の形態】即ち、本発明に係る当該相補型集積回路及び相補型集積回路の製造方法は、上記した様な基本的な技術構成を採用しているものであって、より具体的には、相補型MISFET集積回路を、第1の金属材料からなるゲート電極とするnチャネル素子と、第2の金属材料からなるゲート電極とするpチャネル素子とを有する構成とする事によって、ゲートの空乏化を防ぐことができるとともに、nチャネル素子とpチャネル素子それぞれに適した仕事関数を有するゲート材料を適用することにより、微細かつ高性能な相補型MISFET集積回路が実現できる。

【0017】さらに、本発明によれば、半導体基板上に第1の薄膜を形成する工程と、第1の薄膜に第1の溝を形成する工程と、第1の溝を埋め込むように第1のゲート電極材料を堆積する工程と、第1のゲート電極材料を研磨またはエッチバックして第1の溝内に残す工程と、第1の薄膜に第2の溝を形成する工程と、第2の溝を埋め込むように第2のゲート電極材料を堆積する工程と、前記第2のゲート電極材料を研磨またはエッチバックして第2の溝内に残す工程と、によってnチャネルFETとpチャネルFETとで異なるゲート材料を用いた相補型MISFET集積回路を形成する様にしているの、溝内に電極材料を埋め込んだ後、研磨またはエッチバックにより電極を形成する方法を用いることにより、先に形成された第1のゲート電極に影響を及ぼすことなく第2のゲート電極を加工・形成することが可能であることから、同一基板上に複数種類のゲート電極を容易に形成することが可能になる。

【0018】さらに、イオン注入法によりゲート材料を作り分ける手法によらないから、ゲート材料として任意の材料を選択することができる。又、ゲート電極の加工にエッチングを用いないから、エッチングが困難な材料をゲート電極に適用でき、材料選択の可能性が広がる。

#### 【0019】

【実施例】以下に、本発明に係る相補型集積回路及び相補型集積回路の製造方法の一具体例の構成を図4を参照しながら詳細に説明する。図4(p)は、本発明に係る当該相補型集積回路の一具体例の構成を示す断面図であり、図中、ジルコニウムまたはハフニウムから選択された一つで構成される第1の金属材料をゲート電極11とするnチャネル素子21と、珪化白金、珪化イリジウム、コバルト、ニッケル、ロジウム、パラジウム、レニウム、金から選択された一つで構成される第2の金属材料をゲート電極12とするpチャネル素子22とを有することを相補型集積回路20が示されている。

【0020】即ち、本発明に係る当該相補型集積回路20は、図4(p)に示す様に、適宜の基板1に半導体層3が設けられており、当該半導体層3内に所定の素子分離領域2を介してpウェル領域3Aとnウェル領域3Bが形成されている。更に、nチャネル素子21に於いては、当該pウェル領域3Aの表面の1部には、ゲート絶縁膜7Aを介して第1の金属材料からなるゲート電極11が形成され、且つ当該ゲート電極の両側に於ける当該pウェル領域3Aには、所定のn型不純物が含まれている拡散層4A、5Aが形成されている。

【0021】同様に、pチャネル素子22に於いては、当該nウェル領域3Bの表面の1部には、ゲート絶縁膜7Bを介して第2の金属材料からなるゲート電極12が形成され、且つ当該ゲート電極の両側に於ける当該nウェル領域3Aには、所定のp型不純物が含まれている拡散層4B、5Bが形成されている。本発明に於ける当該第2の金属材料としては、レニウムであることが望ましい。

【0022】又、本発明に於いては、当該半導体基板は、SOIでも良く、その場合には、特にnチャネル素子とpチャネル素子22の為に、pウェル領域とnウェル領域とを別々に形成しなくても良い場合がある。又、本発明に於いては、当該第1の金属材料は、n<sup>+</sup>ポリシリコンの仕事関数に近似する仕事関数を有する金属材料であり、当該第2の金属材料は、p<sup>+</sup>ポリシリコンの仕事関数に近似する仕事関数を有する金属材料である事が必要である。

【0023】本発明に於ける当該仕事関数とは、その材料固有の電氣的ポテンシャルを表すものである。一方、本発明の上記具体例では、当該ゲート電極11及び12は、何れも、当該第1の金属材料若しくは第2の金属材料でそれぞれ全体が構成された例をしめしたが、本発明に於いては係る構成に限定されるものではなく、例えば、当該nチャネル素子21を構成する当該ゲート電極11において、少なくともゲート絶縁膜7Aと接する当該ゲート電極部11の下層部が、当該第1の金属材料で構成されると共に、その上部は、別の導電性材料で抵抗性の低い導電性材料を使用して構成されるというように、多層構造を採用する事も可能である。

【0024】同様に、当該pチャネル素子22を構成する当該ゲート電極12において、少なくともゲート絶縁膜7Bと接する当該ゲート電極部12の下層部が、当該第2の金属材料で構成されると共に、その上部は、別の導電性材料で抵抗性の低い導電性材料を使用して構成されるというように、多層構造を採用する事も可能である。

【0025】処で、従来、金属ゲート材料として考慮されてきた材料としては、アルミニウム、タングステン、チタン、窒化チタン等があるが、これらは仕事関数がn<sup>+</sup>ポリシリコンとp<sup>+</sup>ポリシリコンの略中間であって、

nMOSFET、pMOSFETのいずれにも最適なものではなかった。本発明者は、鋭意検討の結果、nMOSFETに最適な $n^+$ ポリシリコンと近い仕事関数を持つ金属材料としてジルコニウムまたはハフニウムが最適である事を知得したものである。

【0026】係る金属材料は、仕事関数が適切である事に加えて、化学的にも安定であり、空気中で強固な酸化被膜を形成して高い耐蝕性を示し、しかも耐熱性も高いと言う優れた性質を併せ持つと言う特徴がある。但し、係る材料は、電気抵抗が高いと言う短所を有するので、当該ゲート絶縁膜に接する当該ゲート電極の下層部分を主として当該第1の金属材料で構成し、その上層部は低抵抗の金属を積層させた2層又は多層のゲート電極構造とする事が望ましい。

【0027】この場合、当該ジルコニウムまたはハフニウム膜厚は3nm程度若しくはそれ以上である事が望ましい。一方、当該上層部を構成する金属としては、例えば、低抵抗であって且つ加工が容易なタングステンを使用する事が望ましく、場合によっては、従来シリコンプロセスで広く用いられている珪化チタン等の各種珪化金属を使用する事も可能である。

【0028】更に、当該上層金属の下端部には、窒化チタン、窒化タングステン等の密着層を設ける事も望ましい。一方、pMOSFETに最適な $p^+$ ポリシリコンと近い仕事関数を持つ金属材料として珪化白金、珪化イリジウム、コバルト、ニッケル、ロジウム、パラジウム、レニウム、金等が最適である事を知得したものであり、係る金属材料群の中から選択された一つの金属材料が使用される。

【0029】かかる金属に関しても、nMOSFETと同様に、ゲート絶縁膜7Bに接する当該ゲート電極部分にのみ係る第2の金属材料を使用し、その上層部は、低抵抗の金属を積層させた2層又は多層のゲート電極構造とする事が望ましい。又、従来と同様にnMOSFETに対して $n^+$ ポリシリコン、或いはpMOSFETに対して $p^+$ ポリシリコンを用いる場合に於いても本発明は効力がある。

【0030】つまり、本発明に係る製造方法を使用するとnMOSFETとpMOSFETとでゲート材料は別々に堆積されるから、ポリシリコンにイオン注入によって不純物を導入する代わりに堆積と同時に高濃度の $n$ または $p$ 型不純物を導入する事が可能となる。係る方法によって、従来の方法に比べてゲート絶縁膜近傍の不純物濃度を高め、ゲートの空乏化を抑制する事が可能となる。

【0031】係る場合に於いても、ゲート絶縁膜に接する部分にのみ $n^+$ ポリシリコン又は $p^+$ ポリシリコンを用い、多層構造としてゲート電極の抵抗を下げる様にすることも可能である。以下に、本発明に係る当該相補型集積回路と相補型集積回路の製造方法に係る具体例を図1

乃至図4を参照しながら詳細に説明する。

【0032】図1乃至図4を参照すると、本発明の一具体例としての相補型MISFET集積回路20の、製造工程に沿った断面図が示されている。本具体例においては、ゲート電極形成前にソース・ドレイン拡散層を形成するものである。つまり、半導体基板1にpウェル3A、nウェル3B、素子分離絶縁膜2を通常の方法で形成した後、保護膜101と膜102を順次堆積する(図1(a))。

【0033】次に通常のフォトリソグラフィ法とエッチング法を用いてゲート電極を形成すべき位置にのみ膜101と102を残すことでダミーゲートを形成する(図1(b))。次に、pチャネル素子領域のみをフォトレジスト201で覆い、nチャネル素子領域に $n$ 型不純物をイオン注入して $n$ 型の浅いソース・ドレイン拡散層4Aを形成する(図1(c))。

【0034】次にフォトレジストを剥離し、新たにnチャネル素子領域のみをフォトレジスト201で覆い、pチャネル素子領域に $p$ 型不純物をイオン注入して $p$ 型の浅いソース・ドレイン拡散層4Bを形成する(図1(d))。次にフォトレジストを剥離し、ダミーゲートの側面にCVDとエッチバックを用いる通常的手法で側壁絶縁膜104を形成する(図2(e))。

【0035】次に図1(c)乃至図2(e)と同様の工程を繰り返して深いソース・ドレイン拡散層5Aと5Bを形成する(図2(f)乃至図2(h))。次に基板全面に絶縁膜103を堆積し、これを通常の研磨法またはエッチバック法により平坦化するとともにダミーゲートの上面を露出させる(図3(i)乃至図3(j))。

【0036】次にpチャネル素子領域のみをフォトレジスト201で覆い、nチャネル素子領域のダミーゲートのみを選択的に除去する(図3(k))。次にフォトレジストを剥離し、前記ダミーゲートを除去した溝内にゲート絶縁膜7Aを基板の酸化または堆積により形成し、さらに前記溝を埋め込むようにnチャネルFET用ゲート電極材料11を堆積する(図3(l))。

【0037】次にゲート電極材料11を、絶縁膜103の表面が露出するまで研磨またはエッチバックする(図4(m))。次に図3(k)乃至図4(m)の工程を繰り返してpチャネル素子用のゲート絶縁膜7B、ゲート電極材料12の形成を行う(図4(n)乃至図4(p))。以後、層間絶縁膜の堆積、ソース・ドレイン拡散層とゲート電極への接続孔の開口、配線の形成によって相補型集積回路であるMISFET20が完成する。

【0038】係る具体例に於て、保護膜101としてシリコン酸化膜、膜102としてポリシリコン、膜103としてシリコン酸化膜の組み合わせが利用できる。このような積層膜を用いれば、図3(k)あるいは図4(n)におけるダミーゲートの除去において、まず例え

ば塩素ガスを用いてポリシリコン102のみを選択的にエッチング除去し、次いで例えば弗化水素を用いた低ダメージのエッチングにより薄いシリコン酸化膜101を除去すればよい。

【0039】溝の底部分はFETのチャネルとなる部分であるため、特にダメージを抑える必要があるが、保護膜101を設けることでこの要求に答えることができる。次に、本発明に係る当該相補型集積回路及び相補型集積回路の製造方法の他の具体例の構成について、図5及び図6を参照しながら詳細に説明する。即ち、図5乃至図6を参照すると、本発明の他の具体例としての相補型MISFET集積回路の、製造工程に沿った断面図が示されている。

【0040】本具体例においては、ゲート電極形成後にソース・ドレイン拡散層を形成する。つまり、半導体基板1にpウェル3A、nウェル3B、素子分離絶縁膜2を通常の方法で形成した後、保護膜111と膜112を順次堆積する(図5(a))。

【0041】保護膜111としては例えばシリコン窒化膜、膜112としては例えばシリコン酸化膜が適用できる。次に通常のフォトリソグラフィ法とエッチング法を用いてゲート電極を形成すべき位置に溝を形成する(図5(b))。次に前記溝内にゲート絶縁膜7Aを基板の酸化または堆積により形成し、さらに前記溝を埋め込むようにnチャネルFET用ゲート電極材料11を堆積する(図5(c))。

【0042】次にゲート電極材料11を、絶縁膜112の表面が露出するまで研磨またはエッチバックする(図5(d))。次に図5(b)乃至図5(d)と同様の工程を繰り返して、pチャネル素子用のゲート絶縁膜7B、ゲート電極材料12の形成を行う(図5(e)乃至図6(g))。

【0043】次に膜111及び112を選択的にエッチング除去する(図5(h))。膜112がシリコン酸化膜であればエッチングに弗化水素を用いればよい。ただし膜111が薄ければ膜111を残しておいても良い。以後は図1(c)乃至図2(h)と同様にイオン注入と側壁形成等を行なってソース・ドレイン拡散層4A、5A、4B、5Bを形成する(図6(i))。

【0044】以後、層間絶縁膜の堆積、ソース・ドレイン拡散層とゲート電極への接続孔の開口、配線の形成によってMISFETが完成する。以上の実施例における製造工程においては、後から形成されるゲート電極12の形成の間、ゲート電極11は絶縁膜103に埋設された状態にある。このためゲート電極12の形成工程がゲート電極11と干渉することがなく、2種類のゲート電極を同一基板上に容易に作り分けることを可能にするという効果がある。

【0045】さらに、ゲート材料11と12の加工は研磨によって行うことができる。このためエッチングが困

難な材料であっても加工が可能であり、使用する材料の選択の範囲が広がるという効果がある。以上の実施例においてはソース・ドレイン拡散層4A、5A、ゲート電極11と、ソース・ドレイン拡散層4Bと5Bはゲート電極12と、それぞれ自己整合的に形成されるように構成されている。そのため0.01nm以下の微細MISFETに対しても適用可能である。

【0046】nチャネル素子用ゲート電極材料11として、適切な仕事関数を有しかつ安定な金属としてジルコニウム、ハフニウムが使用できる。また、堆積と同時に燐などをドーブしたn型ポリシリコン、あるいは拡散によって燐などをドーブしたポリシリコンを用いても良い。pチャネル素子用ゲート電極材料12として、適切な仕事関数を有しかつ安定な金属としてレニウムが使用できる。いずれの場合も従来のpnゲート構成に比べてゲート空乏化が抑えられる。

【0047】以上においては、ゲート電極は単一の層から成る場合を図示して説明した。しかし抵抗を下げる等の目的でゲート電極を複数材質の積層により形成することもできる。例えば、仕事関数を決めるための材料を下層に、低抵抗な材料を上層に用いることができ、そのためには図1と2におけるゲート電極材料11と12を積層膜とすれば良い。

【0048】この場合には、以上の説明におけるゲート電極材料とはゲート電極の最下端、ゲート絶縁膜に接する部分の材質を意味する。なぜならFETの特性を決定する仕事関数はゲート電極の最下層によって決まるためである。ゲート電極が複数の材質を積層して成る場合は、最下端以外のゲート電極層はnチャネルFETとpチャネルFETで同一であって構わない。

【0049】以上においては、FETのソース・ドレイン拡散層は浅い部分と深い部分とからなる場合を示した。しかしソース・ドレイン拡散層が単一の深さから成る、いわゆるシングル・ドレイン構造であっても良く、その場合は図1eないしhに相当する工程を省略すれば良い。上記した各具体例から明らかな様に、本発明に係る当該相補型集積回路の製造方法の具体例としては、例えば、半導体基板上にnウェル領域とpウェル領域を所定の素子分離領域を介して形成する工程、それぞれの領域にダミーゲート電極を同時に形成する工程、次いでそれぞれのウェル領域に個別にそれぞれのダミーゲート電極をマスクとして所定の拡散領域を形成する工程、当該ダミーゲート電極を含めて当該半導体基板全体に絶縁層を形成する工程、当該絶縁層内の一方のダミーゲート電極を除去して第1の金属材料で構成されるゲート電極材料を当該ダミーゲート電極を除去する事によって形成された当該絶縁層内の第1の溝部に埋め込む工程、当該絶縁層内の他方のダミーゲート電極を除去して第2の金属で構成されるゲート電極材料を当該ダミーゲート電極を除去する事によって形成された当該絶縁層内の第2の溝部

に埋め込む工程とから構成されている相補型集積回路の製造方法であり、又他の具体例としては、半導体基板上にnウェル領域とpウェル領域を所定の素子分離領域を介して形成する工程、当該半導体基板の表面全体に絶縁層を形成する工程、当該一方の領域に於ける当該絶縁層に第1の溝部を形成する工程、当該第1の溝部に第1の金属材料からなるゲート電極材料を埋め込む工程、当該他方の領域に於ける当該絶縁層に第2の溝部を形成する工程、当該第2の溝部に第2の金属材料からなるゲート電極材料を埋め込む工程、当該絶縁膜を除去した後、それぞれの領域に於て、それぞれのゲート電極材料をマスクとして当該半導体基板上に拡散領域を個別に形成する工程とから構成されている相補型集積回路の製造方法である。

【0050】又、本発明に於いては、当該第1の溝部に当該第1の金属材料からなるゲート電極材料を埋め込む工程若しくは当該第2の溝部に当該第2の金属材料からなるゲート電極材料を埋め込む工程に於て、当該ゲート電極材料として当該金属材料に適宜の低抵抗性を示す導電性材料を積層して埋め込む事が望ましい。

【0051】

【発明の効果】以上説明したように、本発明によれば、nチャネル素子とpチャネル素子とで異なるゲート電極材料を用いることで微細化を容易にすること、かつゲート空乏化が抑えることで高性能を確保すること、かつ溝にゲートを埋め込む製造方法により複数ゲート材料を有する構成を容易に製造すること、という基本構成に基づき、微細化と高性能化を両立し、かつ製造が容易な相補型MISFET集積回路が提供される。

【0052】なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【図面の簡単な説明】

【図1】図1は、本発明に係る相補型集積回路の製造方法の一具体例の構成手順に於ける工程要部の半導体装置を示す断面図である。

【図2】図2は、本発明に係る相補型集積回路の製造方法の一具体例の構成手順に於ける工程要部の半導体装置を示す断面図である。

【図3】図3は、本発明に係る相補型集積回路の製造方法の一具体例の構成手順に於ける工程要部の半導体装置を示す断面図である。

【図4】図4は、本発明に係る相補型集積回路の製造方法の一具体例の構成手順に於ける工程要部の半導体装置を示す断面図である。

【図5】図5は、本発明に係る相補型集積回路の製造方法の他の具体例の構成手順に於ける工程要部の半導体装置を示す断面図である。

【図6】図6は、本発明に係る相補型集積回路の製造方法の他の具体例の構成手順に於ける工程要部の半導体装置を示す断面図である。

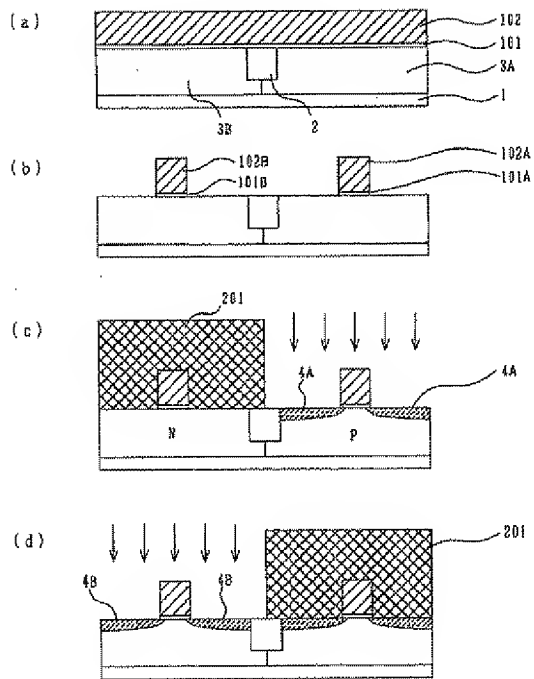
【図7】図7は、従来の相補型集積回路の製造方法の例を説明する断面図である。

【符号の説明】

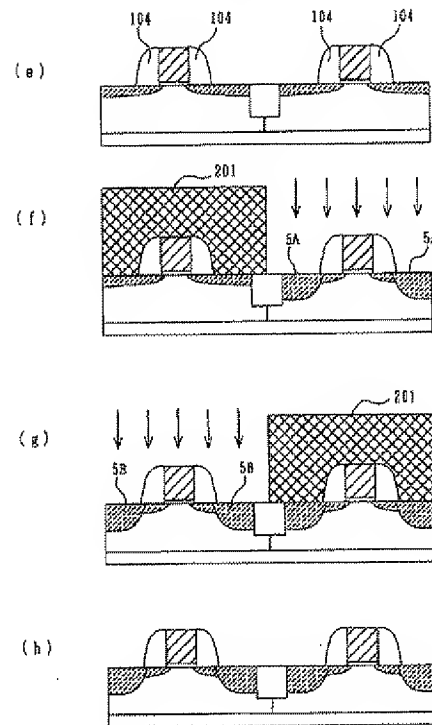
- 1…基板
- 2…素子分離領域
- 3…半導体層
- 3A…pウェル領域
- 3B…nウェル領域
- 4、5…拡散領域
- 7…ゲート絶縁膜
- 8…側壁
- 11…第1の金属材料からなるゲート電極
- 12…第2の金属材料からなるゲート電極
- 20…相補型集積回路
- 21…nチャネル素子
- 22…pチャネル素子
- 101…ダミーゲート下層膜
- 102…ダミーゲート上層膜
- 103…溝形成用絶縁膜
- 111…溝形成用ダミー下層膜
- 112…溝形成用ダミー上層膜



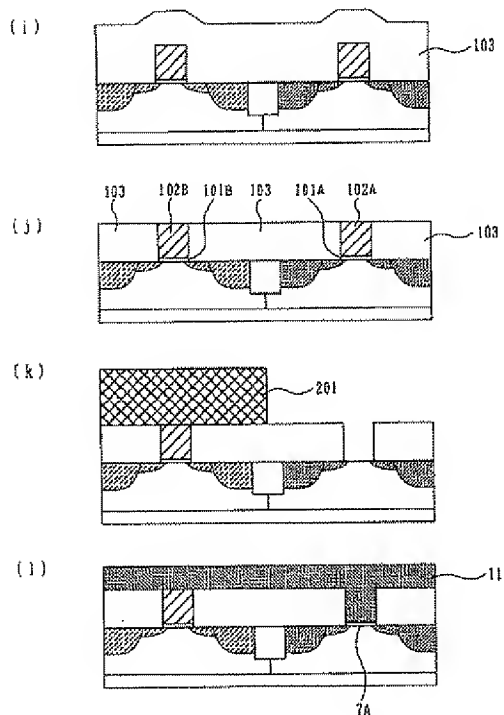
【図1】



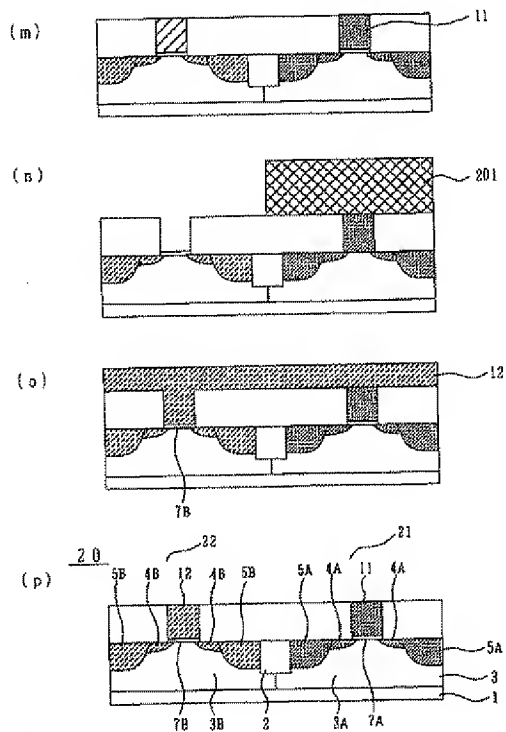
【図2】



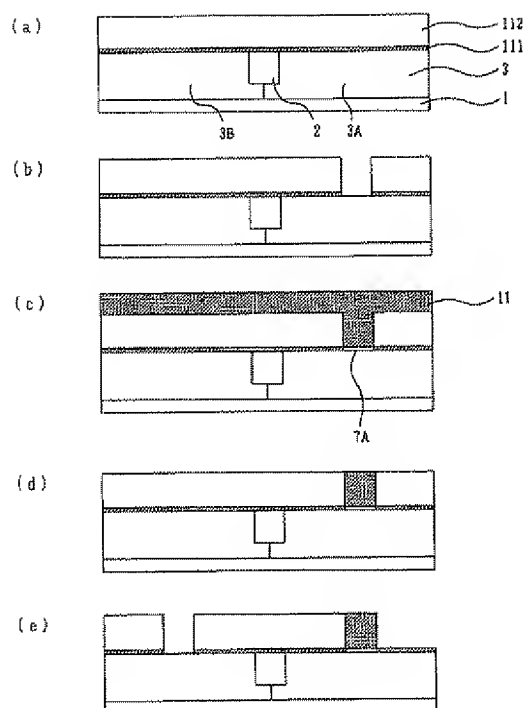
【図3】



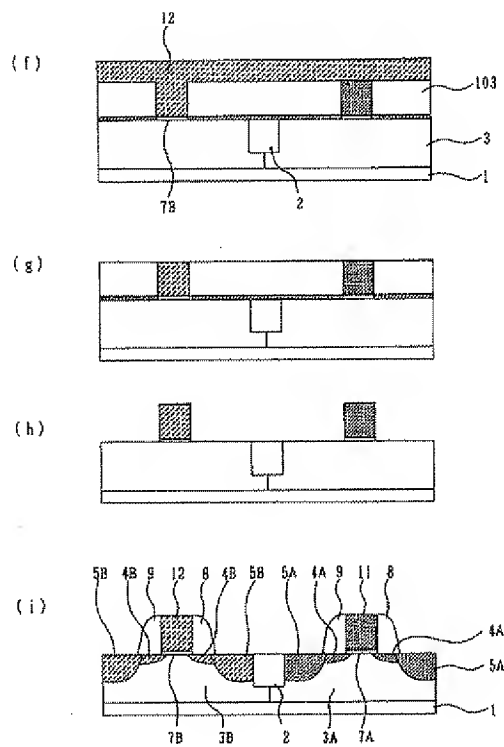
【図4】



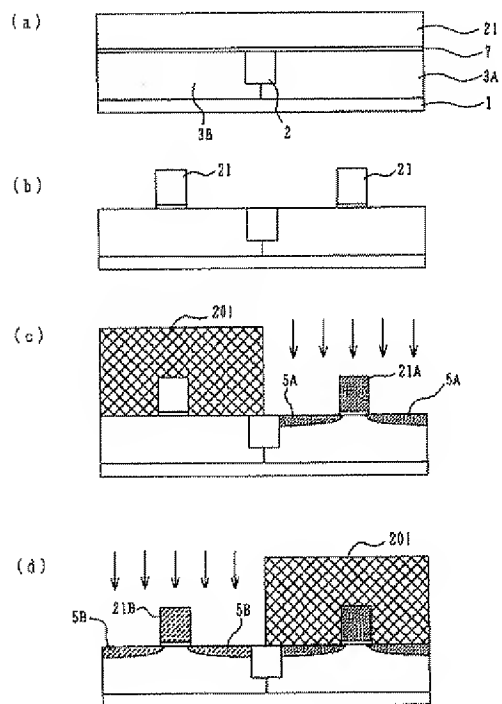
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 4M104 BB04 BB05 BB07 BB09 BB22  
BB36 BB40 CC05 DD03 DD07  
DD43 DD63 DD95 FF13 GG09  
GG14 HH12 HH14  
5F040 DA06 DB03 EC04 EC08 EC09  
EF02 FA03 FA05 FB01 FB02  
FB05 FC10 FC21  
5F048 AA07 AC03 BA01 BA16 BB04  
BB06 BB07 BB08 BB09 BB10  
BB12 BC06 BE03 DA25